

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220346

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 G 3/30

H 0 3 G 3/30

F

H 0 4 B 7/08

H 0 4 B 7/08

D

H 0 4 J 13/00

H 0 4 J 13/00

A

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平10-20738

(22) 出願日 平成10年(1998) 2月2日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 清水 昌彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 古川 秀人

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

最終頁に続く

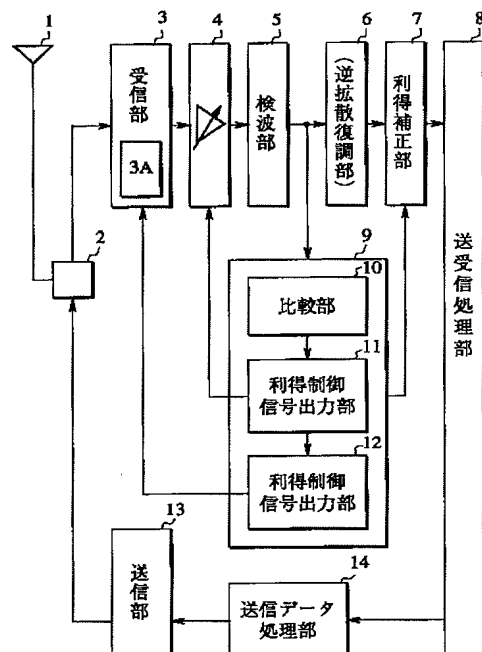
(54) 【発明の名称】 自動利得制御回路

(57) 【要約】

【課題】 前段と後段との利得制御部に対する自動利得制御回路に関し、回路規模の縮小を図る。

【解決手段】 アンテナ1、送受共用部2、受信部3の前段利得制御部3A、後段利得制御部4、検波部5等を含み、可変利得増幅器や可変減衰器等の前段の利得制御部3Aと、可変利得増幅器等の後段の利得制御部4とを制御する自動利得制御回路9であって、後段の利得制御部4の出力信号又は検波部5の出力信号と基準値とを比較する比較部10と、この比較部10の比較出力信号に応じて後段の利得制御部4の利得制御信号を出力する第1の利得制御信号出力部11と、比較部10の比較出力信号を基に、第1の利得制御信号出力部11より時定数が長く、且つ前段の利得制御部3Aの利得制御信号を出力する第2の利得制御信号出力部12とを備えている。

本発明の原理説明図



【特許請求の範囲】

【請求項 1】 前段の利得制御部と後段の利得制御部との利得を制御する自動利得制御回路に於いて、前記後段の利得制御部を介した信号レベルと基準値とを比較する比較部と、該比較部の比較出力信号に応じて前記後段の利得制御部の利得制御信号を出力する第 1 の利得制御信号出力部と、前記比較部の比較出力信号を基に前記第 1 の利得制御信号出力部より時定数が長く、前記前段の利得制御部の利得制御信号を出力する第 2 の利得制御信号出力部とを備えたことを特徴とする自動利得制御回路。

【請求項 2】 前記後段の利得制御部を介した信号レベルと基準値とを比較する比較部と、該比較部の比較出力信号を基に前記後段の利得制御部の利得制御信号を出力する第 1 の利得制御信号出力部と、前記比較部の比較出力信号と設定値との比較に基づいてアップカウントとダウンカウントとを制御するアップダウンカウンタを含み、該アップダウンカウンタのカウント値に応じた前記前段の利得制御部の制御信号を出力する第 2 の利得制御信号出力部とを備えたことを特徴とする請求項 1 記載の自動利得制御回路。

【請求項 3】 前記第 2 の利得制御信号出力部は、前記アップダウンカウンタと、該アップダウンカウンタのアップカウント信号をオーバーフロー時に出力し、ダウンカウント信号をアンダーフロー時に出力する補助カウンタと、前記比較部の比較出力信号と設定値と前記アップダウンカウンタのカウント値とを基に前記補助カウンタのアップカウント又はダウンカウント信号を出力する比較判定部とを備えたことを特徴とする請求項 1 又は 2 記載の自動利得制御回路。

【請求項 4】 前記第 2 の利得制御信号出力部の前記アップダウンカウンタのカウント値の変化時に、該アップダウンカウンタのカウント値に基づく前記前段の利得制御部の利得制御結果による前記第 1 の利得制御信号出力部からの利得制御信号の変化を抑圧するように補正する変動量補正部を設けたことを特徴とする請求項 1 乃至 3 の何れか 1 項記載の自動利得制御回路。

【請求項 5】 複数のブランチ対応の後段の利得制御部を、ブランチ対応の第 1 の利得制御信号出力部からの利得制御信号により制御し、ブランチ対応の前段の利得制御部を、複数のブランチで共用化した第 2 の利得制御信号出力部からの利得制御信号により制御する構成を備えたことを特徴とする請求項 1 乃至 4 の何れか 1 項記載の自動利得制御回路。

【請求項 6】 複数のブランチ間の利得差を 2 の冪乗となるように、前記前段の利得制御部と前記後段の利得制御部との何れか一方又は両方を制御する第 1 の利得制御信号出力部又は第 2 の利得制御信号出力部を備えたことを特徴とする請求項 1 乃至 5 の何れか 1 項記載の自動利

得制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波部内の利得制御部と低周波部内の利得制御部との利得を制御する自動利得制御回路及びこの自動利得制御回路を備えた無線装置に関する。無線装置の受信信号レベルは、電波の伝搬路の特性変動に従って比較的大きく変動するものである。従って、受信処理する信号レベルを所定値に維持する為の自動利得制御回路が設けられている。このような自動利得制御回路の構成を簡単化することが要望されている。

【0002】

【従来の技術】図 8 は従来例の自動利得制御回路を備えた無線受信機の説明図であり、CDMA (Code Division Multiple Access) 方式に於けるスペースダイバーシティを適用した構成の場合を示し、101 はアンテナ、102 は低雑音高周波増幅器、103 は可変減衰器、104 は周波数変換器、105 は可変利得増幅器、106 は検波部、107 は AD 変換器 (A/D)、108 は逆拡散部、109 は乗算器、110 は合成部、111 は信号分岐部、112 は局部発振器、113 は AD 変換器 (A/D)、114、115 は AGC 回路 (自動利得制御回路)、116 はブランチ間の利得を補正する利得補正部である。

【0003】アンテナ 101 による受信信号は、低雑音増幅器 102 により増幅され、AGC 回路 114 により制御される可変減衰器 103 を介して周波数変換器 104 に入力され、局部発振器 112 からの局部発振信号と混合されて中間周波信号に変換される。この時、可変減衰器 103 により周波数変換器 104 が飽和しないように信号レベルが制御される。又この中間周波信号は、AGC 回路 115 によって利得が制御される可変利得増幅器 105 に分岐部 111 を介して入力され、検波部 106 が飽和しないように信号レベルが制御される。

【0004】検波部 106 は、中間周波信号が直交変調されている場合は直交検波部として検波し、直交した I チャネル信号と Q チャネル信号とを出力する。そして、AD 変換器 107 によりデジタル信号に変換し、逆拡散部 108 に入力し、拡散符号によって逆拡散復調し、乗算器 109 を介して合成部 110 に入力し、ブランチ間の信号を合成する。

【0005】又利得補正部 116 は、AGC 回路 114、115 からの利得制御信号に従ってブランチ間の信号レベルの補正を行うもので、逆拡散部 108 からの逆拡散復調された信号レベルはほぼ等しいものとなるから、アンテナ 101 への入力信号レベルに対応したレベルに補正し、合成部 110 に於いて最大比合成等を行うものである。

【0006】

【発明が解決しようとする課題】移動無線通信端末装置等の無線装置に於いては、安定な受信処理を可能とする為に、高周波部に於ける可変減衰器 1 0 3 等の前段の利得制御部の利得制御と、低周波部又は中間周波部に於ける可変利得増幅器 1 0 5 等の後段の利得制御部の利得制御との 2 段階の利得制御を行う構成が採用されており、前段の利得制御部の可変減衰器 1 0 3 は A G C 回路 1 1 4 により制御され、後段の利得制御部の可変利得増幅器 1 0 5 は A G C 回路 1 1 5 により制御される構成を備えている。従って、受信経路対応に、利得制御の為の類似した機能を有する 2 個の A G C 回路を必要とするから、回路規模が比較的大きくなる問題があった。本発明は、A G C 機能の共用化によって、回路規模の削減を図ることを目的とする。

【0 0 0 7】

【課題を解決するための手段】本発明の自動利得制御回路は、(1) 前段の利得制御部 3 A と後段の利得制御部 4 との利得を制御する自動利得制御回路であって、後段の利得制御部 4 を介した信号レベルと基準値とを比較する比較部 1 0 と、この比較部 1 0 の比較出力信号に応じて、後段の利得制御部 4 の利得制御信号を出力する第 1 の利得制御信号出力部 1 1 と、比較部 1 0 の比較出力信号を基に、第 1 の利得制御信号出力部 1 1 より時定数が長く、前段の利得制御部 3 A の利得制御信号を出力する第 2 の利得制御信号出力部 1 2 とを備えている。即ち、前段と後段との 2 段階で利得制御する構成に於いて、前段と後段との利得制御部を共用化した自動利得制御回路によって制御することができるから、回路規模を縮小できる。

【0 0 0 8】又 (2) 後段の利得制御部 4 を介した信号レベルと基準値とを比較する比較部 1 0 と、この比較部 1 0 の比較出力信号を基に、後段の利得制御部 4 の利得制御信号を出力する第 1 の利得制御信号出力部 1 1 と、比較部 1 0 の比較出力信号と設定値との比較に基づいてアップカウントとダウンカウントとを制御するアップダウンカウンタを含み、このアップダウンカウンタのカウント値に応じた前記前段の利得制御部の制御信号を出力する第 2 の利得制御信号出力部 1 2 とを備えている。この場合、前段の利得制御部 3 A をアップダウンカウンタのカウント値に応じて段階的に利得又は減衰量を制御することになる。

【0 0 0 9】又 (3) 第 2 の利得制御信号出力部 1 2 は、アップダウンカウンタと、このアップダウンカウンタのアップカウント信号をオーバーフロー時に出力し、ダウンカウント信号をアンダーフロー時に出力する補助カウンタと、比較部 1 0 の比較出力信号と設定値と前記アップダウンカウンタのカウント値とを基に、補助カウンタのアップカウント又はダウンカウント信号を出力する比較判定部とを備えることができる。

【0 0 1 0】又 (4) 第 2 の利得制御信号出力部 1 2 の

アップダウンカウンタのカウント値の変化時に、このアップダウンカウンタのカウント値に基づく前段の利得制御部 3 A の利得制御結果による前記第 1 の利得制御信号出力部 1 1 からの利得制御信号の変化を抑圧するように補正する変動量補正部を設けることができる。この変動量補正部により、前段の利得制御部 3 A の利得制御に伴う時定数の短い第 1 の利得制御信号出力部 1 1 による後段の利得制御部 4 に対する利得制御信号の変動量を抑圧し、利得制御の安定化を図る。

10 【0 0 1 1】又 (5) 複数のブランチ対応の後段の利得制御部を、ブランチ対応の第 1 の利得制御信号出力部からの利得制御信号により制御し、ブランチ対応の前段の利得制御部を、複数のブランチで共用化した第 2 の利得制御信号出力部からの利得制御信号により制御する構成とすることができる。それにより、複数のブランチ対応の第 2 の利得制御信号出力部を共用化して、回路規模の縮小を図る。

20 【0 0 1 2】又 (6) 複数のブランチ間の利得差を 2 の冪乗となるように、前段の利得制御部 3 A と後段の利得制御部 4 との何れか一方又は両方を制御する第 1 の利得制御信号出力部又は第 2 の利得制御信号出力部を備えることができる。それにより、ブランチ間の利得補正処理をビットシフトにより実現できる。

【0 0 1 3】

【発明の実施の形態】図 1 は本発明の原理説明図であり、1 はアンテナ、2 は送受共用器、3 は可変減衰器等の前段の利得制御部 3 A と低雑音増幅器、周波数変換器等を含む受信部、4 は可変利得増幅器等の後段の利得制御部、5 は検波部、6 は C D M A 方式に適用した場合の逆拡散復調部、7 は利得補正部、8 は音声信号のコーデック、スピーカ、マイクロホン、データ入力部、データ表示部、出力部等を含む送受信処理部、9 は自動利得制御回路、1 0 は比較部、1 1、1 2 は第 1、第 2 の利得制御信号出力部、1 3 は送信増幅器、周波数変換器等を含む送信部、1 4 は送信データ処理部である。

【0 0 1 4】アンテナ 1 による受信信号は、受信部 3 の利得制御部 3 A によりレベルが所定値となるように制御され、周波数変換された後、後段の利得制御部 4 によりレベルが所定値となるように制御され、検波部 5 により検波される。この検波出力信号を、C D M A 方式に適用した場合は逆拡散復調部 6 により復調し、利得補正部 7 により信号レベルを補正し、送受信処理部 8 に入力して音声再生やデータ再生、表示等を行う。

【0 0 1 5】又自動利得制御回路 9 は、比較部 1 0 と第 1、第 2 の利得制御信号出力部 1 1、1 2 とを含み、後段の利得制御部 4 の出力信号又はそれを検波した信号のレベルを比較部 1 0 に於いて基準値と比較し、その比較出力信号に対応して後段の利得制御部 4 の利得制御信号を第 1 の利得制御信号出力部 1 1 から出力する。従って、検波出力信号レベルの変動に対応して後段の利得制

御部 4 の利得が制御されるから、逆拡散復調部 6 等に入力される信号レベルの瞬時変動に対して抑圧するように後段の利得制御部 4 の利得を制御することができる。

【0016】又第 2 の利得制御信号出力部 1 2 は、例えば、第 1 の利得制御信号出力部 1 1 による後段の利得制御部 4 の利得を基に利得制御信号を出力することができる。例えば、利得制御部 4 の利得が大きい場合は、入力信号レベルが小さいことを示すから、前段の利得制御部 3 A の利得を大きくすることになり、可変減衰器を用いた場合は減衰量を小さくする。反対に、利得制御部 4 の利得が小さい場合は、入力信号レベルが大きいことを示すから、前段の利得制御部 3 A の利得を小さくすることになり、可変減衰器を用いた場合は減衰量を大きくする。この場合の前段の利得制御部 3 A の利得制御は、信号レベルの瞬時変動或いはそれより遅い長区間変動に追従する特性で充分である。

【0017】図 2 は本発明の第 1 の実施の形態の説明図であり、2 1 はアンテナ、2 2 は低雑音増幅器、2 3 は可変減衰器、2 4 は周波数変換器、2 5 は可変利得増幅器、2 6 は直交検波器、2 7 は A/D 変換器、2 8 は逆拡散復調器、2 9 は乗算器、3 0 は合成部、3 1 は A/GC 回路（自動利得制御回路）、3 2 は局部発振器、3 3 はブランチ間の利得補正部であり、図 8 に示す従来例と同様に、CDMA 方式に於けるスペースダイバーシティに適用した場合を示し、可変減衰器 2 3 が前段の利得制御部に、可変利得増幅器 2 5 が後段の利得制御部にそれぞれ相当することになる。

【0018】A/GC 回路 3 1 は、図 1 に示す自動利得制御回路 9 と同様に比較部 1 0 と第 1、第 2 の利得制御信号出力部 1 1、1 2 とを含む構成を有し、直交検波器 2 6 による検波出力信号を A/D 変換器 2 7 によりデジタル信号に変換して入力する。そして、基準値と比較し、その比較出力信号を基に第 1 の利得制御信号出力部から可変利得増幅器 2 5 の利得制御信号を出力し、第 2 の利得制御信号出力部から可変減衰器 2 3 の利得制御信号を出力する。

【0019】可変減衰器 2 3 は、周波数変換器 2 4 が飽和しないように入力信号レベルを制御できる減衰量に制御すれば良いことになり、又可変利得増幅器 2 5 は、検波出力信号レベルが所定値となるように利得を制御するもので、前述のように、第 1 の利得制御信号出力部から可変利得増幅器 2 5 の利得を制御する速度に対して、第 2 の利得制御信号出力部から可変減衰器 2 3 の利得（減衰量）を制御する速度を遅くすることができる。そして、前段と後段との利得制御部の可変減衰器 2 3 と可変利得増幅器 2 5 とに対して、共通化した A/GC 回路 3 1 を設けたことにより、回路規模を縮小することができる。

【0020】又利得補正部 3 3 は、第 1 の利得制御信号出力部からの利得制御信号と、第 2 の利得制御信号出力

部からの利得制御信号とを、ブランチ対応に入力し、一方のブランチの入力信号レベルが小さいことにより、前段及び後段の利得制御部（可変減衰器 2 3 と可変利得増幅器 2 5）との利得を大きくした場合、乗算器 2 9 により信号レベルを小さくし、他方のブランチの入力信号レベルが大きい場合、前段及び後段の利得制御部の利得を小さくすることになるから、乗算器 2 9 により信号レベルを大きくし、合成部 3 0 はブランチ間の利得補正された信号を基に個最大比合成等を行うことになる。

10 【0021】図 3 は本発明の第 2 の実施の形態の要部説明図であり、4 1 はパワー算出部、4 2 は加算器、4 3 は乗算器、4 4 は加算器、4 5 は 1 シンボル分の遅延回路（D）、4 6 は D/A 変換器（D/A）、4 7 は比較判定部、4 8 は補助カウンタ、4 9 はアップダウンカウンタである。

【0022】図 1 の検波部 5 又は図 2 の直交検波器 2 6 からの検波出力信号がパワー算出部 4 1 に入力される。このパワー算出部 4 1 と加算器 4 2 と乗算器 4 3 とを含む構成が、図 1 の比較部 1 0 に相当する機能となり、又加算器 4 4 と遅延回路 4 5 と D/A 変換器 4 6 とを含む構成が、図 1 の第 1 の利得制御信号出力部 1 1 に相当する機能となって、図 1 の後段の利得制御部 4 又は図 2 の可変利得増幅器 2 5 に加える利得制御信号 C 1 となる。又比較判定部 4 7 と補助カウンタ 4 8 とアップダウンカウンタ 4 9 とを含む構成が、図 1 の第 2 の利得制御信号出力部 1 2 に相当する機能となって、図 1 の前段の利得制御部 3 A 又は図 2 の可変減衰器 2 3 に加える利得制御信号 C 2 となる。又これらの利得制御信号 C 1、C 2 は、図 2 の利得補正部 3 3 に加える利得制御信号 C 3 となる。

【0023】パワー算出部 4 1 は、直交検波器からの I、Q 直交検波出力信号が入力され、例えば、 $10 \log_{10} (I^2 + Q^2)$ の演算によりシンボル速度でパワーを算出し、検波出力信号レベルに相当する信号と基準値とを比較する。この場合、加算器 4 2 に於いて差分を求める構成の場合を示している。そして、その差分信号（比較出力信号）を乗算器 4 3 に入力する。乗算器 4 3 に於いては重み付け係数 W 1 を乗算し、後段に於ける飽和が生じないようにして加算器 4 4 に入力する。

40 【0024】この加算器 4 4 と遅延回路 4 5 とにより積分器を構成して、乗算器 4 3 の出力信号の遅延回路 4 5 の遅延時間に相当する時間平均をとり、その出力信号 x を D/A 変換器 4 6 によりアナログ信号に変換して利得制御信号 C 1 とする。この場合、信号レベルが高くと、それに対応したレベルのアナログの利得制御信号 C 1 となり、後段の利得制御部 4（図 1 参照）又は可変利得増幅器 2 5 の利得を小さくする方向に制御することになる。又反対に、信号レベルが低いと、後段の利得制御部 4 又は可変利得増幅器 2 5 の利得を大きくする方向に制御することになる。この後段の利得制御部 4 又は可変利得増

幅器 25 の利得を、例えば、0～50 dB の範囲で制御することができる。

【0025】又パワー算出部 41 が例えば CDMA 方式に於けるシンボル速度で動作し、遅延回路 45 は 1 シンボルの遅延時間とすることにより、後段の利得制御部 3A 又は可変利得増幅器 25 を、信号レベルの瞬時変動に追従して制御することができる。

【0026】又積分器の出力信号 x を比較制御部 47 に於いて設定値 α 、 β と比較する。この設定値 α 、 β は、例えば、出力信号 x が所望の受信出力信号レベルを示す時に、 $\beta > x > \alpha$ の関係となるように選定する。又アップダウンカウンタ 49 のカウント値 y の 0～15 に対応して、前段の利得制御部 3A (図 1 参照) 又は可変減衰器 23 (図 2 参照) を 2 dB 間隔で 16 段階の利得 (減衰量) 制御を行うことができる。その場合に、 $\alpha > x$ で且つ $y \neq 15$ の時、即ち、出力信号 x が設定値 α より小さく、且つアップダウンカウンタ 49 が最大のカウント値でない時に 1 を出力する。又 $\beta < x$ で且つ $y \neq 0$ の時、即ち、出力信号 x が設定値 β より大きく、且つアップダウンカウンタ 49 が最小のカウント値でない時に -1 を出力し、それ以外はリセット信号を出力する。

【0027】補助カウンタ 48 は、例えば、15 を初期値としたアップダウンカウンタで、比較判定部 47 の出力信号の 1 又は -1 に従ったカウントを行い、例えば、 $\alpha > x$ の状態が継続し、アップカウントによりカウント値が 31 を超えるとオーバーフローとなり、その時は 1 を出力して、初期値 (15) にリセットする。又反対に $\beta < x$ の状態が継続し、ダウンカウントによりカウント値が 0 以下となるとアンダーフローとなり、その時は -1 を出力して、初期値 (15) にリセットする。即ち、補助カウンタ 48 は、アップダウンカウンタ 49 に加える信号 u_d を、オーバーフロー時に +1、アンダーフロー時に -1 とし、カウント値を中心の 15 の初期値とする。

【0028】アップダウンカウンタ 49 は、補助カウンタ 48 からの信号 u_d のオーバーフローによる 1 によってアップカウントし、アンダーフローによる -1 によってダウンカウントし、そのカウント値 y を比較判定部 47 に加えると共に、前段の利得制御部 3A (図 1 参照) 又は可変減衰器 23 (図 2 参照) の利得制御信号 C_2 として出力する。

【0029】従って、出力信号 x (入力信号レベルに対応) が大きい時、即ち、 $\beta < x$ の時に、補助カウンタ 48 のダウンカウントが行われ、これが継続した時に、補助カウンタ 48 の出力信号 u_d によりアップダウンカウンタ 49 のダウンカウントが行われ、カウント値が減少するから、可変減衰器 23 の減衰量を大きくするような利得制御信号 C_2 が出力される。反対に、出力信号 x が小さい時、即ち、 $\alpha > x$ の時に、補助カウンタ 48 のアップカウントが行われ、これが継続した時に、補助カウ

ンタ 48 の出力信号 u_d によりアップダウンカウンタ 49 のアップカウントが行われ、カウント値が増加するから、可変減衰器 23 の減衰量を小さくするな利得制御信号 C_2 が出力される。この場合、2 dB 間隔で、0～32 dB の範囲で段階的に利得 (減衰量) の制御が行われる。又カウント値が 0 の場合は補助カウンタ 48 からの信号 u_d が -1 であっても、カウント値 0 を維持し、同様に、カウント値が最大値の例えば 15 の場合に、補助カウンタ 48 からの信号 u_d が 1 であっても、最大値のカウント値 15 を維持する。

【0030】従って、後段の利得制御部 4 (図 1 参照) 又は可変利得増幅器 25 (図 2 参照) は、例えば、CDMA 方式に於けるシンボル速度程度で利得制御信号 C_1 によって利得が制御され、前段の利得制御部 3A (図 1 参照) 又は可変減衰器 23 (図 2 参照) は、補助カウンタ 48 により長区間の変動分に追従した特性の利得制御信号 C_2 によって利得が制御される。又積分器の出力信号 x とアップダウンカウンタ 49 のカウント値 y とがブランチ間の利得補正部に加える利得制御信号 C_3 となる。又各部はディジタル信号を処理する構成とし、又プロセッサの演算処理機能によって各部を構成することも可能である。

【0031】図 4 は本発明の第 3 の実施の形態の要部説明図であり、図 3 と同一符号は同一部分を示し、57 は比較判定部、58 は補助カウンタ、59 はアップダウンカウンタである。DA 変換器 46 は、図 3 に示す場合と同様に、後段の利得制御部 4 (図 1 参照) 又は可変利得増幅器 25 (図 2 参照) に加える利得制御信号 C_1 を出力する。

【0032】又比較判定部 57 は、加算器 42 からの差分信号 z を入力し、この差分信号 z と 0 とを比較する。そして、 $0 > z$ の時は 1 を出力し、 $0 < z$ の時は -1 を出力して補助カウンタ 58 に入力する。補助カウンタ 58 は、比較判定部 57 からの信号に対応してアップカウント又はダウンカウントし、オーバーフローの時に 1 を出力し、アンダーフローの時に -1 を出力してアップダウンカウンタ 59 に入力すると共に、初期値 (中心値) にリセットする。

【0033】アップダウンカウンタ 59 は、図 3 に於けるアップダウンカウンタ 49 と同様に動作し、利得制御信号 C_2 を前段の利得制御部 3A (図 1 参照) 又は可変減衰器 23 (図 2 参照) に加えて、カウント値が大きい時は利得を大きく (減衰量を小さく) し、反対にカウント値が小さい時は利得を小さく (減衰量を大きく) するように、段階的な利得制御を行うことになる。

【0034】従って、入力信号レベルが高い場合は、差分信号 z が 0 より大きくなり、積分器の出力信号も大きくなるから、後段の利得制御部 4 (図 1 参照) 又は可変利得増幅器 25 (図 2 参照) の利得を小さくする方向の利得制御信号 C_1 が出力され、信号レベルの瞬時変動を

抑圧するように利得制御が行われる。

【0035】そして、差分信号 z が 0 より大きい状態が継続すると、補助カウンタ 58 はダウンカウントを継続するからアンダーフローの状態となり、それによって、アップダウンカウンタ 59 はダウンカウントし、カウント値が小さくなるから、前段の利得制御部 3 A (図 1 参照) 又は可変減衰器 23 (図 2 参照) の利得を小さくする (減衰量を大きくする) 方向の利得制御信号 $C2$ が出力され、長区間変動を抑圧するように利得制御が行われる。この場合、長区間変動に追従して利得制御を行うものであるから、例えば、時定数の長いランダムウォークフィルタを用いて、前段の利得制御部 3 A 又は可変減衰器 23 を制御する構成とすることも可能である。

【0036】図 5 は本発明の第 4 の実施の形態の要部説明図であり、図 3 と同一符号は同一部分を示し、61 は加算器、62 は乗算器、 $W2$ は重み付け係数である。この重み付け係数 $W2$ を乗算する乗算器 66 と、加算器 65 とにより変動量補正部を構成しており、この変動量補正部を図 3 の構成に付加した場合に相当する。

【0037】前述のように、後段の利得制御部 4 (図 1 参照) 又は可変利得増幅器 25 (図 2 参照) は、瞬時変動に追従して利得が制御され、前段の利得制御部 3 A

(図 1 参照) 又は可変減衰器 23 (図 2 参照) は、長区間変動に追従して利得が制御されるものであるから、前段の利得制御部 3 A 又は可変減衰器 23 の利得制御を行った時に、後段の利得制御部 4 又は可変利得増幅器 25 の利得を瞬時変動に対応して制御することになり、この場合は、前段の利得制御部 3 A 又は可変減衰器 23 の利得制御を打ち消す方向に追従動作することになる。

【0038】そこで、加算器 61 と乗算器 62 とを含む変動量補正部により、前段の利得制御部 3 A 又は可変減衰器 23 の利得変動を、後段の利得制御部 4 又は可変利得増幅器 25 に対する利得制御信号 $C1$ に反映させて、全体の自動利得制御特性を改善するものである。即ち、補助カウンタ 48 の出力信号 ud が 1 又は -1 となることにより、利得制御信号 $C2$ が変化するため、その出力信号 ud を乗算器 62 に加えて、重み付け係数 $W2$ を乗算し、その乗算出力信号を加算器 61 に加えて、出力信号 x から減算する。

【0039】例えば、出力信号 x (入力信号レベルに対応) が大きく、 $\beta < x$ となると、補助カウンタ 48 がダウンカウントし、それが継続してアンダーフローすると、補助カウンタ 48 の出力信号 ud は -1 となり、アップダウンカウンタ 49 がダウンカウントして、利得制御信号 $C2$ が変化し、前段の利得制御部 3 A 又は可変減衰器 23 の利得が小さく (減衰量が大きく) なるように利得制御信号 $C2$ によって制御される。それにより、信号レベルが低くなるから、出力信号 x も小さくなる。

【0040】しかし、その時の補助カウンタ 48 の出力信号 ud に、重み付け係数 $W2$ を乗算し、その乗算出力

信号 (この場合、出力信号 $ud = -1$ であるから、乗算出力信号も負の符号となる) を出力信号 x から減算することにより、利得制御信号 $C1$ の値の変化を補正し、ほぼ前の状態の利得制御信号 $C1$ を出力することができる。反対に、出力信号 x が小さく、 $\alpha > x$ となると、補助カウンタ 48 はアップカウントし、それが継続してオーバーフローすると、補助カウンタ 48 の出力信号 ud は 1 となり、アップダウンカウンタ 49 はアップカウントし、利得制御信号 $C2$ は、可変減衰器 23 の減衰量を小さくするように変化する。それにより、出力信号 x は大きくなる方向に変化するが、補助カウンタ 48 の 1 の出力信号に重み付け係数 $W2$ を乗算し、出力信号 x から減算することにより、利得制御信号 $C1$ の値の変化を補正し、ほぼ前の状態の利得制御信号 $C1$ を出力することができる。

【0041】図 6 は本発明の第 5 の実施の形態の要部説明図であり、スペースダイバーシティ方式に適用した場合を示し、41a、41b はパワー算出部、42a、42b は基準値と比較する加算器、43a、43b は重み付け係数 $W1$ を乗算する乗算器、44a、44b は加算器、45a、45b は遅延回路 (D)、46a、46b は DA 変換器 (D/A)、47A は比較判定部、48A は補助カウンタ、49A はアップダウンカウンタ、61a、61b は加算器、62 は重み付け係数 $W2$ と乗算する乗算器、 $C1a$ 、 $C1b$ は後段の利得制御部 4 (図 1 参照) 又は可変利得増幅器 25 (図 2 参照) に加える利得制御信号、 $C2$ は前段の利得制御部 3 A (図 1 参照) 又は可変減衰器 23 (図 2 参照) に加える利得制御信号、 $C3$ はブランチ間の利得補正部 33 (図 2 参照) に加える制御信号である。

【0042】この実施の形態は、前述の実施の形態と同様に、パワー算出部 41a、41b により算出したパワーと基準値とを比較し、差分信号に重み付け係数 $W1$ を乗算し、1 シンボルの遅延時間の遅延回路 45a、45b と加算器 44a、44b とによる積分器の出力信号 $x1$ 、 $x2$ を加算器 61a、61b を介して DA 変換器 46a、46b に入力し、ブランチ対応の後段の利得制御部又は可変利得増幅器に対してそれぞれアナログの利得制御信号 $C1a$ 、 $C1b$ を出力する。この場合に、加算器 61a、61b と乗算器 62 とを含む変動量補正部により補正された利得制御信号 $C1a$ 、 $C1b$ となる。

【0043】又比較判定部 47A は、各ブランチの積分器に於ける出力信号 $x1$ 、 $x2$ を入力し、アップダウンカウンタ 49A のカウント値が 15 でなく、 $\alpha > x1$ 又は $\alpha > x2$ の時に 1 を出力し、アップダウンカウンタ 49A のカウント値が 0 でなく、 $\beta < x1$ 又は $\beta < x2$ の時に -1 を出力し、それ以外の条件の時はリセット信号を出力する。

【0044】補助カウンタ 48A 及びアップダウンカウンタ 49A は、図 5 に於ける補助カウンタ 48 及びアッ

ブダウンカウンタ49と同様に動作し、アップダウンカウンタ49Aのカウンタ値を、両方のブランチの前段の利得制御部3A又は可変減衰器23の利得制御信号C2とする。又ブランチ対応の利得制御信号C1a, C1bをブランチ間の利得補正部の制御信号C3とする。

【0045】補助カウンタ48Aは、比較判定部47Aから1が出力された時にアップカウントし、-1が出力された時にダウンカウントし、リセット信号が出力された時は初期値にリセットする。例えば、0~31のカウント値の場合、15の初期値にリセットする。そして、アップカウントを継続してオーバーフローする時は、1を出力してリセットし、アンダカウントを継続してアンダーフローする時は、-1を出力してリセットする。

【0046】アップダウンカウンタ49Aは、補助カウンタ48Aの出力信号の1によりアップカウントし、-1によりダウンカウントし、カウンタ値を前段の利得制御部3A又は可変減衰器23の利得制御信号C2とする。この場合、補助カウンタ48Aの出力信号と重み付け係数W2とを乗算し、乗算出力信号を、加算器61a, 61bに於いて出力信号x1, x2から減算して、前段の利得制御部3A又は可変減衰器23の利得（減衰量）制御による変動量を補正する。

【0047】従って、比較判定部47A, 補助カウンタ48A, アップダウンカウンタ49A等を含む第2の利得制御信号出力部を、ブランチ間で共用化することができるから、回路規模を縮小することができる。

【0048】図7は本発明の第6の実施の形態の要部説明図であり、図6と同一符号は同一部分を示し、71は利得補正制御部である。この実施の形態は、変動量補正部を構成する加算器61a, 61bの出力信号y1, y2を利得補正制御部71に inputs し、信号z1, z2を後段の利得制御部3A又は可変利得増幅器25の利得制御信号C1a, C1bとして出力し、又x0をブランチ間の利得補正の制御信号C3として出力する。

【0049】この利得補正制御部71は、 $y_1 > y_2$ の時に、

$$z_1 = (\text{int}) \left[(y_1 - y_2) / Y + 0.5 \right] * Y + y_2$$

$$z_2 = y_2$$

$$x_0 = (\text{int}) \left[(y_1 - y_2) / Y + 0.5 \right]$$

を出力し、又 $y_1 < y_2$ の時に、

$$z_1 = y_1$$

$$z_2 = (\text{int}) \left[(y_2 - y_1) / Y + 0.5 \right] * Y + y_1$$

$$x_0 = (\text{int}) \left[(y_2 - y_1) / Y + 0.5 \right]$$

を出力する。即ち、出力信号y1, y2のレベルの小さい方を基準として他方を演算出力することになる。なお、(int)は整数(integer)演算を示し、演算結果の切捨てを行うことを示す。従って、0.5は四捨五入する為の数値である。又 $Y = 20 \log_{10}(2)$

／(50/2⁸)である。

【0050】この場合、ブランチ間の利得差が2の冪乗であると、ブランチ間の利得補正は冪乗数に従ったビットシフトによりブランチ間の利得を補正することができる。例えば、図2の乗算器29を利得補正部33からの制御信号に従ってブランチの何れか一方をビットシフトさせる構成とすることになる。又前段の利得制御部3A又は可変減衰器23を、ブランチ対応に別個の利得制御信号によって制御する場合に、ブランチ間の利得差が2の冪乗となるように制御することにより、前述のように、ブランチ間の利得補正をビットシフトによって実現することが可能となる。

【0051】本発明は、前述の各実施の形態のみに限定されるものではなく、種々組合せた構成とすることも可能であり、例えば、前段の利得制御部3Aとして段階的に減衰量を制御する可変減衰器23の代わりに連続的に減衰量を制御する可変減衰器或いは可変利得増幅器を用いることができる。又パワー算出部は、他の入力信号レベルを識別できる構成であれば各種の構成を適用できるものである。又本発明は、前段と後段との2段階の利得制御部を備えたCDMA方式以外の各種の無線システムにも適用することができる。

【0052】

【発明の効果】以上説明したように、本発明は、前段の利得制御部3Aと後段の利得制御部4との利得制御を共通化した構成の自動利得制御回路であり、個別に設ける従来例に比較して回路規模の縮小を図ることができる利点がある。又複数ブランチ構成の場合、各ブランチの後段の利得制御に対する第1の利得制御信号出力部をブランチ対応に設けると共に、前段の利得制御部に対する第2の利得制御信号出力部を共通化し、複数ブランチ構成に於ける自動利得制御回路のブランチ対応の各部の共通化を図ることも可能であり、又前段の利得制御部の利得制御に従った後段の利得制御部の利得制御信号を補正することにより、利得制御特性の安定化を図ることもできる利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施の形態の説明図である。

【図3】本発明の第2の実施の形態の要部説明図である。

【図4】本発明の第3の実施の形態の要部説明図である。

【図5】本発明の第4の実施の形態の要部説明図である。

【図6】本発明の第5の実施の形態の要部説明図である。

【図7】本発明の第6の実施の形態の要部説明図である。

【図8】従来例の自動利得制御回路を備えた無線受信機

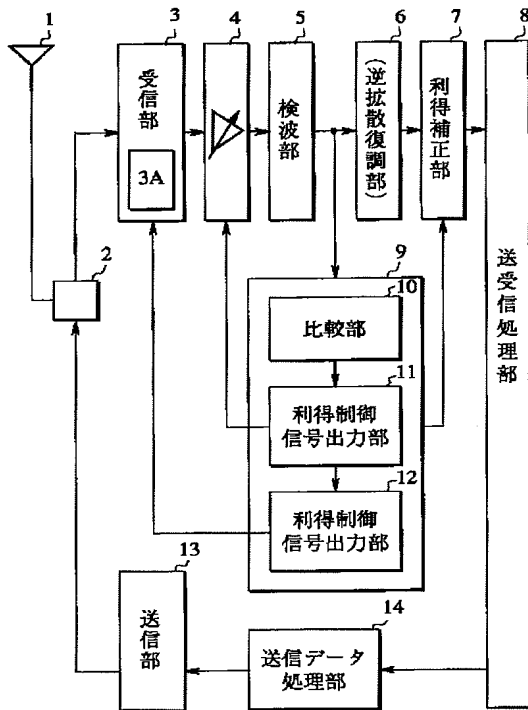
の説明図である。

【符号の説明】

- 1 アンテナ
- 3 受信部
- 3 A 前段の利得制御部
- 4 後段の利得制御部
- 5 検波部
- 6 逆拡散復調部

【図 1】

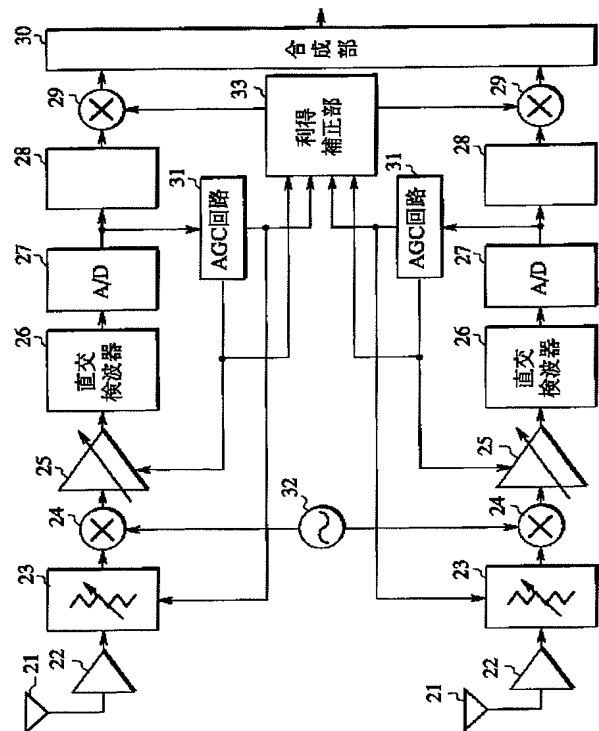
本発明の原理説明図



- 7 利得補正部
- 8 送受信処理部
- 9 自動利得制御回路
- 10 比較部
- 11 第1の利得制御信号出力部
- 12 第2の利得制御信号出力部
- 13 送信部
- 14 送信データ処理部

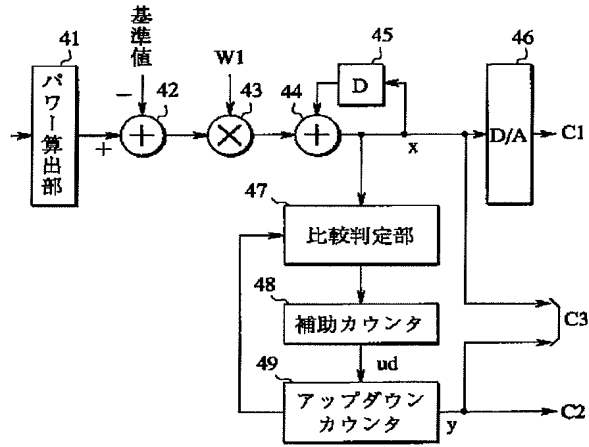
【図 2】

本発明の第1の実施の形態の説明図



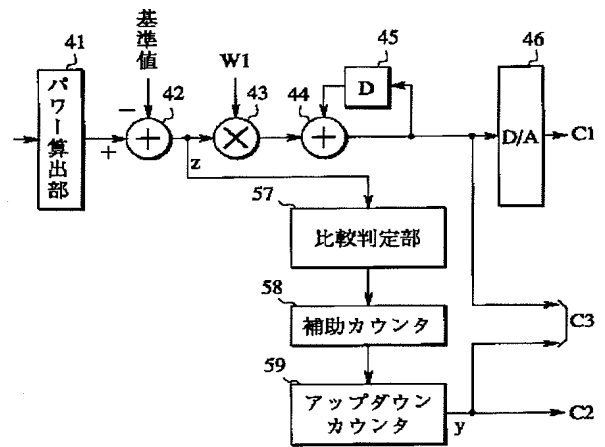
【図 3】

本発明の第2の実施の形態の要部説明図



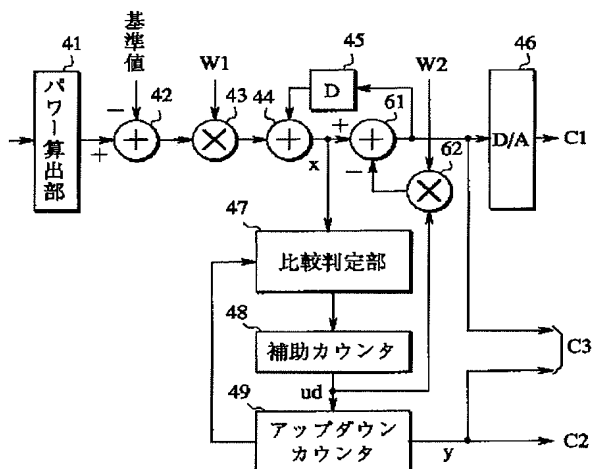
【図 4】

本発明の第3の実施の形態の要部説明図



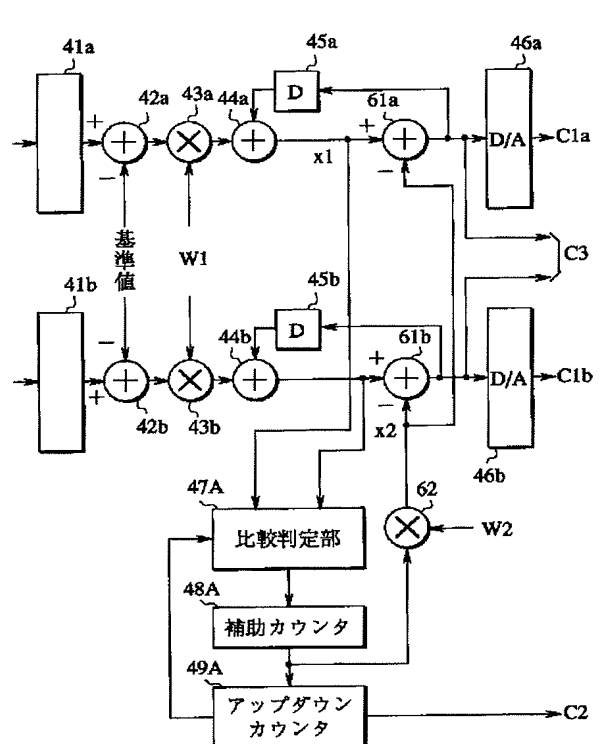
【図 5】

本発明の第4の実施の形態の要部説明図



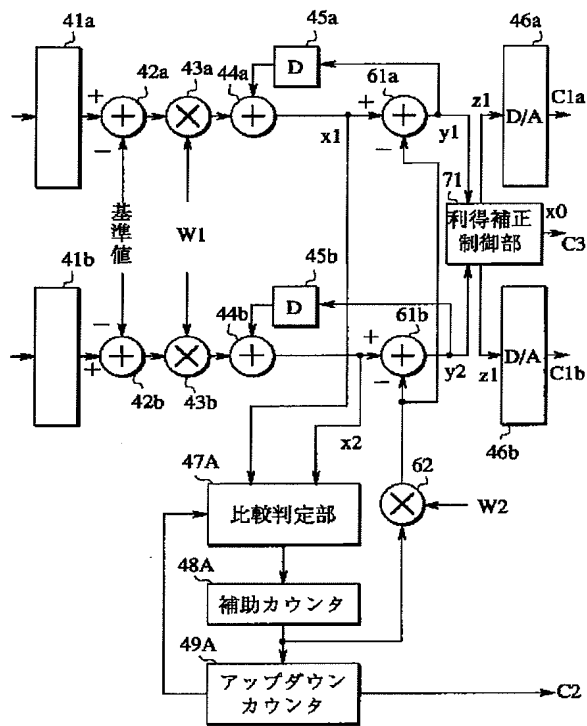
【図 6】

本発明の第5の実施の形態の要部説明図



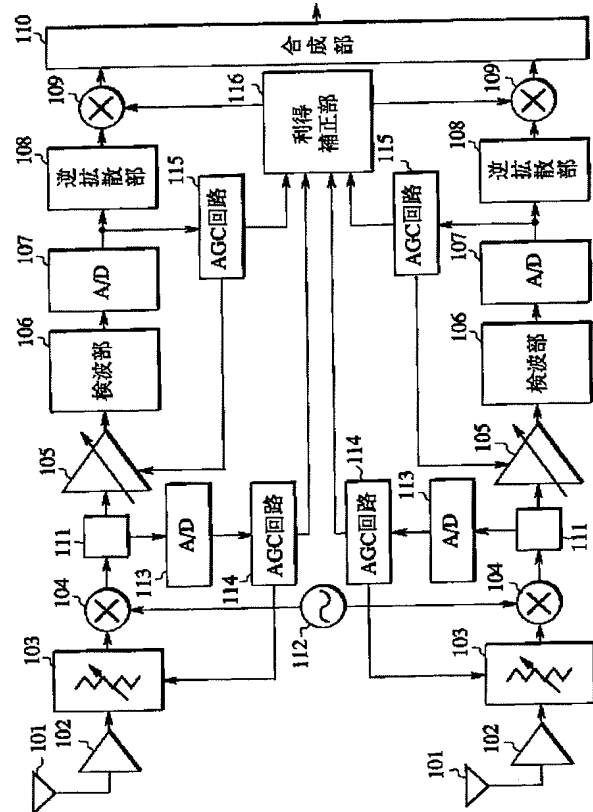
【図 7】

本発明の第6の実施の形態の要部説明図



【図 8】

従来例の自動利得制御回路を備えた無線受信機の説明図



フロントページの続き

(72) 発明者 佐藤 知紀
 神奈川県川崎市中原区上小田中 4 丁目 1 番
 1 号 富士通株式会社内

(72) 発明者 松山 幸二
 神奈川県川崎市中原区上小田中 4 丁目 1 番
 1 号 富士通株式会社内

(72) 発明者 藤井 正明
 神奈川県川崎市中原区上小田中 4 丁目 1 番
 1 号 富士通株式会社内